



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10197850

(43)Date of publication of application: 31.07.1998

(51)Int.Cl.

G02F 1/133
G02F 1/13
G02F 1/1347
G09F 9/35
G09F 9/35
G09G 3/36

(21)Application number: 09000964

(71)Applicant: CANON INC

(22)Date of filing: 07.01.1997

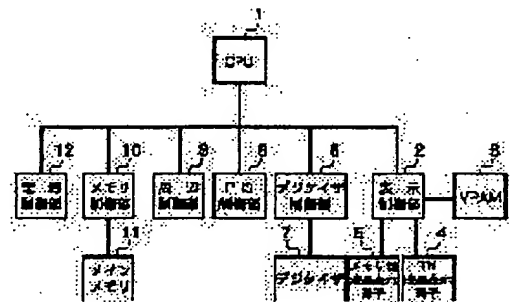
(72)Inventor: SHIMADA KAZUTOSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the liquid crystal display device which saves energy by making good use of characteristics of TN liquid crystal and ferroelectric liquid crystal.

SOLUTION: While a selective display means of a controller 1 judges characteristics of data to be displayed and displays data selectively on a 1st liquid crystal display means 4 of a liquid crystal panel or 2nd liquid crystal display means 5 with memory capability according to the characteristics of the data, a display switching means displays the data displayed selectively on the 1st liquid crystal display means 4 by switching the 1st liquid crystal display means to the 2nd liquid crystal display means 5. Then an operation control means stops the 1st liquid crystal display means 4 and a 1st control means from operating when the data is displayed on only the 2nd liquid crystal display means 5 to reduce the power consumption of the 1st liquid crystal display means 4.



(51) Int. Cl. ⁶		識別記号	F I		
G 0 2 F	1/133	5 6 0	G 0 2 F	1/133	5 6 0
	1/13	5 0 5		1/13	5 0 5
	1/1347			1/1347	
G 0 9 F	9/35	3 3 5	G 0 9 F	9/35	3 3 5
		3 4 5			3 4 5
審査請求 未請求 請求項の数 4			O L		(全 1 0 頁) 最終頁に続く

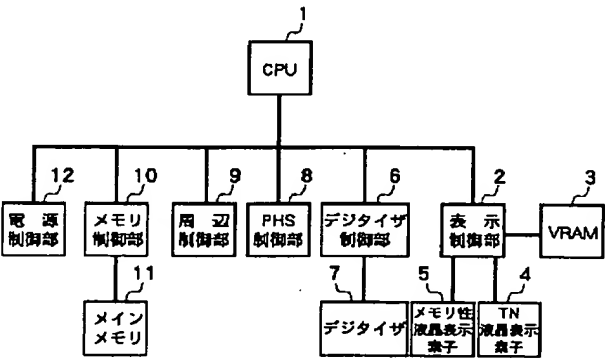
(21) 出願番号	特願平 9 - 9 6 4	(71) 出願人	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成9年(1997)1月7日	(72) 発明者	島田 和俊 東京都大田区下丸子3丁目30番2号 キャノ ン株式会社内
		(74) 代理人	弁理士 近島 一夫

(54) 【発明の名称】 液晶装置

(57) 【要約】

【課題】 TN液晶及び強誘電性液晶の特性を生かして省エネを可能とする液晶装置を提供する。

【解決手段】 制御装置 1 の選択表示手段により、表示するデータの特性を判断すると共に、データの特性に応じてデータを選択的に液晶パネルの第 1 の液晶表示手段 4 又はメモリ性を有する第 2 の液晶表示手段 5 に表示する一方、表示切り換え手段により第 1 の液晶表示手段 4 に選択的に表示されたデータを所定のタイミングで第 2 の液晶表示手段 5 に切り換えて表示する。そして、動作制御手段にて、第 2 の液晶表示手段 5 にのみデータを表示する場合には第 1 の液晶表示手段 4 及び第 1 の制御手段の動作を停止することにより、第 1 の液晶表示手段 4 の消費電力を低減するようにする。



【特許請求の範囲】

【請求項1】 第1の液晶表示手段と、メモリ性を有する第2の液晶表示手段とを重ね合わせて構成された液晶パネルと、

前記第1及び第2の液晶表示手段の表示動作を制御する第1及び第2の表示制御部と、

表示するデータの特性を判断すると共に、前記データの特性に応じて該データを選択的に前記第1及び第2の液晶表示手段に表示する選択表示手段と、前記第1の液晶表示手段に選択的に表示されたデータを所定のタイミングで前記第2の液晶表示手段に切り換えて表示する表示切り換え手段と、前記第2の液晶表示手段にのみデータを表示する場合には前記第1の液晶表示手段及び第1の制御手段の動作を停止する動作制御手段とを有する制御装置と、

を備えたことを特徴とする液晶装置。

【請求項2】 前記制御装置の表示切り換え手段は、前記表示切り換えを行うと共に、前記データの特性に応じて前記所定のタイミングで第1の液晶表示手段に表示されたデータを消去することを特徴とする請求項1記載の液晶装置。

【請求項3】 前記表示データの特性は、変化のほとんどない確定的なデータ、変化する可能性の高い不確定なデータ及び一過性の一時的なデータであることを特徴とする請求項1又は2記載の液晶装置。

【請求項4】 第1の液晶表示手段と、メモリ性を有する第2の液晶表示手段とを重ね合わせて構成された液晶パネルと、

前記第1及び第2の液晶表示手段の表示動作を制御する第1及び第2の表示制御部と、

前記第1の液晶表示手段に表示されたデータを所定のタイミングで前記第2の液晶表示手段に切り換えて表示する表示切り換え部と、

前記第2の液晶表示手段にのみデータを表示する場合には前記第1の液晶表示手段及び第1の制御手段の動作を停止する動作制御部と、

を備えたことを特徴とする液晶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネルを有する液晶装置に関し、特に液晶パネルの表示制御に関する。

【0002】

【従来の技術】従来の液晶装置は、表示部として例えばTN液晶又は強誘電性液晶を用いた液晶パネルを備えたものがある。ここで、一般のTN液晶は、電界の有無で分子の方向が変化することを利用して光のスイッチングを行なっている。ここで、表示を継続するためには交流電界を常に掛けておくと、単純マトリクス駆動のようにコモン電極を走査し、セグメント電極にデータを乗せて

点灯すべきエレメントに順次電界をかけ、平均的に電界を印加する必要がある。このため、表示をしている時間中は常に駆動動作が行なわれている。

【0003】一方、強誘電性液晶は、分子の強誘電性から電界の印加に対してヒステリシス的な動きをみせ、電界を印加しなくても前の動作を保持するメモリ性を持つ特性がある。最近では、フィルム上に強誘電性高分子液晶を塗布して形成したようなフィルム液晶も開発されている。

【0004】ところで、液晶装置の実際の使用場面を考えると、携帯電子機器を含むコンピュータ画面では、動画を表示している場合を除いて圧倒的に静止画である部分が多い。例えば、文章作成においても、思考と入力の繰返しであり、実際にキーボードやペン入力している時間の割合は、全表示時間に比べて小さい。さらに、ドキュメントを見たり、画面を見ながら検討を加えるような場面では、この時間比は増える。

【0005】

【発明が解決しようとする課題】ところが、従来の液晶装置において、例えばTN液晶を用いた液晶パネルはスピード的に早くても、使用期間中常に駆動し続けなければならない、消費電力上の問題点があった。一方、強誘電性高分子液晶を用いた液晶パネルは、メモリ効果を利用すれば変化のないときには、消費電力を減少させられるが、書き換え時間が1ライン数ミリ秒かかり、ある程度の動きのあるものには追従できないという問題点があった。

【0006】そこで、本発明は、このような従来の問題点を解決するためになされたものであり、TN液晶及び強誘電性液晶の特性を生かして省エネを可能とする液晶装置を提供することを目的とするものである。

【0007】

【課題を解決するための手段】本発明は、第1の液晶表示手段と、メモリ性を有する第2の液晶表示手段とを重ね合わせて構成された液晶パネルと、前記第1及び第2の液晶表示手段の表示動作を制御する第1及び第2の表示制御部と、表示するデータの特性を判断すると共に、前記データの特性に応じて該データを選択的に前記第1及び第2の液晶表示手段に表示する選択表示手段と、前記第1の液晶表示手段に選択的に表示されたデータを所定のタイミングで前記第2の液晶表示手段に切り換えて表示する表示切り換え手段と、前記第2の液晶表示手段にのみデータを表示する場合には前記第1の液晶表示手段及び第1の制御手段の動作を停止する動作制御手段とを有する制御装置と、を備えたことを特徴とするものである。

【0008】また本発明は、前記制御装置の表示切り換え手段は、前記表示切り換えを行うと共に、前記データの特性に応じて前記所定のタイミングで第1の液晶表示手段に表示されたデータを消去することを特徴とするも

のである。

【0009】また本発明は、前記表示データの特性は、変化のほとんどない確定的なデータ、変化する可能性の高い不確定なデータ及び一過性の一時的なデータであることを特徴とするものである。

【0010】また本発明は、第1の液晶表示手段と、メモリ性を有する第2の液晶表示手段とを重ね合わせて構成された液晶パネルと、前記第1及び第2の液晶表示手段の表示動作を制御する第1及び第2の表示制御部と、前記第1の液晶表示手段に表示されたデータを所定のタイミングで前記第2の液晶表示手段に切り換えて表示する表示切り換え部と、前記第2の液晶表示手段にのみデータを表示する場合には前記第1の液晶表示手段及び第1の制御手段の動作を停止する動作制御部と、を備えたことを特徴とするものである。

【0011】また本発明のように、制御装置の選択表示手段により、表示するデータの特性を判断すると共に、データの特性に応じてデータを選択的に液晶パネルの第1の液晶表示手段又はメモリ性を有する第2の液晶表示手段に表示する一方、表示切り換え手段により第1の液晶表示手段に選択的に表示されたデータを所定のタイミングで第2の液晶表示手段に切り換えて表示する。そして、動作制御手段にて、第2の液晶表示手段にのみデータを表示する場合には第1の液晶表示手段及び第1の制御手段の動作を停止することにより、第1の液晶表示手段の消費電力を低減するようにする。

【0012】また本発明のように、表示切り換え部により第1の液晶表示手段に表示されたデータを所定のタイミングで第2の液晶表示手段に切り換えて表示する一方、第2の液晶表示手段にのみデータを表示する場合には動作制御部にて第1の液晶表示手段及び第1の制御手段の動作を停止することにより、第1の液晶表示手段の消費電力を低減するようにする。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて詳細に説明する。

【0014】図1は、本発明の第1の実施の形態に係る液晶装置の平面図であり、この液晶装置1Aはペン・コンピュータにPHS（無線通信）を設けた構成のものである。ここで、この液晶装置1Aは、TN液晶表示素子とメモリ性液晶表示素子とを有する2重構造の液晶パネル2Aを備えたものであり、液晶装置1Aへの情報入力

はペン3A及びPHSにて行うようになっている。なお、同図において、4AはPHS用のアンテナである。

【0015】一方、図2は、この液晶装置1Aの制御ブロック図であり、同図において、1は16ビット程度のCPU、2は液晶パネル2Aの第1の液晶表示手段であるTN液晶表示素子（以下TN素子という）4及びメモリ性を有する第2の液晶表示手段である強誘電性高分子液晶等を用いたメモリ性液晶表示素子（以下メモリ素子

という）5による2画面の表示を行なうための表示制御部、3は液晶パネル2Aの2画面のデータを蓄えるVRAMである。

【0016】なお、CPU1は、液晶装置1Aの演算や制御を行なうと共に、後述するように表示データの属性を判断してデータをTN素子4又はメモリ素子5に選択的に表示する選択表示手段と、TN素子4に選択的に表示されたデータを所定のタイミングでメモリ素子5に切り換えて表示する表示切り換え手段と、メモリ素子5にのみデータを表示する場合にはTN素子4等の動作を停止する動作制御手段とを有する制御装置である。なお、本実施の形態において、CPU1は、これらの処理をソフト的に行うようにしている。

【0017】ここで、これらTN素子4とメモリ素子5との関係は、図3に示すように、メモリ素子5の上にTN素子4が重ねられており、TN素子4の上面とメモリ素子5の下面には図示しない偏光板が貼られるようになっている。さらに、このTN素子4の上方には入力手段であるデジタイザ7が配置されている。なお、このデジタイザ7の入力方式として代表的なものは抵抗膜方式、電磁誘導方式、超音波方式等があり、その制御方法として、例えば抵抗膜等においては、ペンの入力で起こる電圧の変化を定期的にA/D変換で調べてソフト的に座標変換する構成のものがある。

【0018】また、図2において、6はデジタイザ7を制御するためのデジタイザ制御部、8は例えば無線デジタル通信手段であるPHSを制御するPHS制御部である。なお、無線デジタル通信手段としては、IrDAのような光などの通信手段でもよい。9は、周辺制御部であり、標準的なI/O（例RS-232C、PCMCIA）を制御する。10はメモリ制御部であり、DRAMなどで構成されたメインメモリ11を制御する。12は、電源制御部であり、部分的な電源供給を含む省電力動作を行なう。

【0019】次に、表示制御部2の表示制御動作について図4を用いて説明する。表示制御部2はTN素子4及びメモリ素子5へ別々に表示データと表示制御信号を入力している。ここで、TN素子4は必要な時は常にドライブをするのでコモンドライバ13は、H-sync信号をクロックにして上のラインから活性化していくようになっている。

【0020】また、セグメントドライバ14は、各ラインの表示データをドライブするようになっている。ここで、この表示データは表示制御部2からクロック同期で図示しないセグメントドライバ内部のシフトレジスタに入力され、各H-syncでセグメントドライバ14の各ドライバーにロードされる。そして、V-syncで一画面が終了し、一ライン目から繰り返される。

【0021】なお、メモリ素子5のみがデータを表示する場合は、これらの制御クロックを表示制御部2が止め

ることで、表示はオフ状態となり電力は下がるようになる。さらに、表示制御部 2 によるスイッチ 15 のオフ動作で液晶ドライブ電源 15a を止めることで省エネ効果を上げることが可能になる。

【0022】一方、メモリ素子 5 は、メモリ効果があるために常時ドライブしておく必要はなく、変化したところを書き換えるだけで良い。その関係から、コマンドドライバ 16 は上から順次活性化するのではなく、表示制御部 2 は表示データのうちの指定されたラインデータをデコード 18 に送り、特定のラインを活性化させるように 10 コマンドドライバ 16 を制御する。ここで、書き換えるラインは、1 本とは限らず、複数本を一つの単位としても良い。また、表示データは図示しないシフトレジスタにより入力され、セグメントドライバ 17 の各ドライバーに表示制御信号によりロードされる。

【0023】なお、図 5 は VRAM3 のメモリマップであり、VRAM3 は第 1 領域 3a に TN 素子 4 のデータを、第 2 領域 3b にはメモリ素子 5 のデータをそれぞれ別々に記憶するようにしている。

【0024】ところで、図 6 は表示制御部 2 のブロック 20 構成を示す図であり、同図において、19 は CPU バス B とのインターフェースである CPU・I/F であり、この CPU・I/F 19 は CPU1 からの制御レジスタ 22、25 への I/O アクセスと、VRAM3 へのメモリアccessを仲介するものである。

【0025】また、20 はバス制御部であり、このバス制御部 20 は、VRAM3 へのアクセスのコントロールを行なう部分である。ここで、VRAM3 へアクセス依頼は、CPU1、TN 素子 4、メモリ素子 5 の 3 つから行われるが、TN 素子 4 は循環的にアクセスしており、データとして一番遅らすことができないことから優先順位は TN 素子 4 からのアクセスを一番に、二番を CPU 1 からのアクセスとし、メモリ素子 5 は入力そのものに 30 早急性がないために最後の順位と設定されている。

【0026】21 はメモリ制御部であり、このメモリ制御部 21 は、VRAM3 のアクセスを制御する部分である。なお、このメモリ制御部 21 は、VRAM3 が DRAM ならばリフレッシュ制御などを含めてタイミング等の調整を行なうようになっている。

【0027】また、22 は第 1 の表示制御部である TN 40 素子制御部 4A の制御レジスタであり、この制御レジスタ 22 は、TN 素子制御部 4A の内部クロックの停止信号と、図 4 に示す TN 素子 4 を駆動するための液晶ドライブ電源 15a のスイッチ 15 のオン/オフをソフト的に行なうための表示オフ信号を発生するものである。なお、この制御レジスタ 22 は、VRAM3 の先頭番地などを設定できるように構成することもできる。23 はタイミ

めのものである。

【0028】また、24 は VRAM アクセス制御部であり、この VRAM アクセス制御部 24 は、タイミング制御部 23 からの制御信号の発生に伴って VRAM3 からデータを入力するようにバス制御部 20 にアクセスリクエストを出し、許可が下りればアドレスを発行してデータを得、タイミング制御部 23 によってセグメントドライバ 14 に表示データとして送り出すものである。

【0029】一方、25 は第 2 の表示制御部であるメモリ素子制御部 5A の制御レジスタであり、この制御レジスタ 25 は、VRAM 先頭アドレス、書き換えライン番号、ライン数、書き込み終了フラグ、制御オン/オフなどを設定するためのものである。そして、書き変える表示データが発生すると制御オンが設定され、これに伴いタイミング制御部 26 が動作を開始すると共に、VRAM アクセス制御部 27 は、VRAM 先頭アドレスから 1 ライン番号のデータをバス制御部 20 を介して得ようになっている。なお、既述したようにバス獲得順位は一番低い。

【0030】また、タイミング制御部 26 は、先頭ライン番号を表示制御信号と共に出してデコード 18 に送った後、表示データをセグメントドライバ 17 に送出するものである。以下、この動作が書き換えるライン数分繰返し行なわれ、終了したとき書き込み終了フラグをオンする。これを見て、システム側 (CPU1) は書き込みが完了したと判断する。

【0031】次に、このような構成の液晶装置 1A の表示状態の遷移について図 7 を用いて説明する。

【0032】ペンやキーボードから入力情報 S3 が不確定であったり、ペンのジェスチャーコマンドの軌跡のようにすぐに消してしまう不確定情報である場合は、まず TN 素子 4 で表示する。また、カーソルの点滅や時計の点滅のように常にデータが書き変わっているような変化点滅情報 S4 は、TN 素子 4 で表示し続ける。

【0033】一方、新たなウインドウ S5 のような領域が書き込まれるときは、下に書いてあるメモリ素子 5 の内容は消去し、ウインドウの情報は TN 素子 4 に書かれる。個人情報 (PIM) や業務用のフォーマットのあるアプリ (アプリケーション) S6 などではフォームが同じで、データが複数ページに渡って存在することが多く 50 フォームはメモリ素子 5、データは TN 素子 4 に分けて表示する。ページめくりが発生した時は、データ部分、即ち TN 素子 4 のみを書き換えればよい。

【0034】なお、一定時間たっても TN 素子 4 の表示データに変化がなければ、そのデータはメモリ素子 5 の表示データに移される。さらに、データの一部がセレクト (選択) S7 されて編集の対象になれば、表示の内容が変わる可能性が高くなるのでデータは再び TN 素子 4 側に移され、編集の操作 (例えば移動) S8 中は、TN 素子 4 のデータだけで対応し、確定 S9 されれば、デー

タはメモリ素子5に移される。

【0035】このように、データが変化する可能性や固定している時間に応じてCPU1は、表示制御部2を介して表示する素子4、5を切り換えるようにしている。そして、全てのデータがメモリ素子5に移行されると、TN素子4はオフされ、メモリ素子5のメモリ効果のみで表示データを保つことになる。

【0036】このことを、わかりやすく図8に示す。横軸は時間であり、まず、何かが入力されたり、表示の変化が起こると、すぐにTN素子4の表示に反映される。そして、一定時間経過したり、データを確定するようなトリガーによりメモリ素子5に書き換えて(a)に示すようにTN素子4及びメモリ素子5はドライブを停止する。そして、このように構成することにより、同図の(b)に示す従来のTN素子4のように継続して駆動する場合に比べて消費電力が低く抑えられるので、省エネ効果が得られる。なお、これはドライバーの停止時間が長いほど効果的である。

【0037】次に、アプリケーションを例にとつて、この切り分けについて説明する。図9の(a)は、業務用のフォームに選択していく例であり、文字やチェック欄はあらかじめメモリ素子5で表示し、A、B、Cで示される選択肢をTN素子4で表示するようにしている。

【0038】そして、ペン3Aで選択肢A、B、Cの一つを触ったところで、このチェック欄が選ばれようとしていることを示すためにチェック欄を反転させるようにしている。さらに、この反転した場所でペンアップすると、選択が確定され、反転データはTN素子4からメモリ素子5に移る。なお、ペン3Aを他の場所に引きずっていくと、選択行為は中止され、TN素子4の反転部分30は消去されるようになっている。

【0039】また、図9の(b)は、電話帳の例であり、フォームやデータはメモリ素子5で表示され、内蔵のダイヤラーで電話するため、その中から一人を選択した際、この選択者を示す太枠をTN素子4を用いて表示している。さらに、ダイヤルを指示するスイッチを押したところでも、指示を明確する太枠をTN素子4を用いて表示している。

【0040】図9の(c)は、文字認識の例であり、ペン3Aで書いて行く筆跡はTN素子4を用いて表示し、40認識結果を確定した時にはメモリ素子5を用いて表示するようにしている。なお、文字入力板などのフォームはもちろんメモリ素子5である。

【0041】なお、本実施の形態においては、2つの液晶4、5の解像度は同じでも異なっても良い。しかし、TN素子4に表示されるデータは、一過性のものが多く、又常にドライブを続ける必要性からTN素子4の解像度をメモリ素子5に比べて低く設定することは実使用上問題なく、かつ消費電力的には有利になるのでむしろ推奨される。

【0042】次に、システム側の表示制御フローチャートを図10に示す。なお、このフローチャートにおいては、表示データが発生したところから示す。

【0043】表示データが発生すると(処理101)、まずCPU1は表示データの属性を判断する(判断102)。ここで、この属性としては、確定情報、不確定情報及び一時情報の3種類があり、確定情報は、表示すべきものが変化の少ないもの、又は確定したもので業務用のフォーム、一定時間後でも変化の無かったもの、ユーザーが確定を示す指示をしたもの、そしてメモリ素子5の一部分を消去する時に付けられる。

【0044】また、不確定情報は、入力中の情報や手書き認識の候補等、いつユーザーが変更してもおかしくない表示データである。さらに、一時情報は、すぐに消える一過性のものである。それは、ペンジェスチャーコマンドの軌跡のようなもので、コマンドが認識されて、それが実行を始めたときには既に不要な表示情報である。

【0045】ここで、既述した条件により表示データの属性が確定情報と判断した場合は、CPU1は、表示制御部2を介してまずVRAM3の第2領域3b(図5参照)へ表示データを書き込み(処理103)、この後メモリ素子5の制御レジスタ25にドライブを含むタイミング制御部26のオンを設定し(メモリ素子ドライバアクティブ)(処理104)、その他のライン数等の情報をセグメントドライバ14のシフトレジスタである表示ラインレジスタに書き込む(処理105)。

【0046】さらに、この後書き換えを指示し(処理106)、ハード的な書き込みがタイミング制御部26で行なわれる。なお、CPU1は、書き込みを終了したか否かをレジスタのフラグで判断すると共に、この判断の後、さらに一定時間経過したか否かを判断し(判断107)、一定時間が経過したとき(判断107のY)、メモリ素子5及びその周辺の制御をオフとする(処理108)。

【0047】また、CPU1は、既述した条件により表示データの属性が不確定情報と判断した場合は、データ発生時、TN素子4が動作していなければ、表示制御部2を介して制御レジスタ22を設定することでTN素子4のドライバ13、14のオンを設定し(TN素子ドライバアクティブ)(処理110)、さらにVRAM3の第1領域3a(図5参照)へデータを書き込む(処理111)。ここで、データの表示は自動的に開始される。なお、この表示は、ある一定のトリガーがかかるまでの状態が続けられる(判断112)。

【0048】即ち、ある一定時間書き換えがない場合や、ユーザーがこのデータが確定であるという意志を示すまでである。その間、ユーザーは、この表示データを消去、変更などの操作ができるのは当然である。

【0049】一方、所定のタイミングでトリガーがかかると(判断112のY)、その表示データの属性は、確

定情報へ変更され（処理113）、メモリ素子5へのルーチンへ移行する。そして、メモリ素子5への書き込みを確認し、書き込みが終了すると（判断114のY）、第1領域3aのデータを消去し（処理115）、TN側の表示情報を無くし、他のデータ表示がなければ、CPU1はTN素子4及びそのTN素子制御部4Aを含む周辺の制御をオフする（処理116）。そして、このようにメモリ素子5へデータを書き込んだ後、TN素子4及びそのTN素子制御部4Aを含む周辺の制御をオフとすることにより、ドライブしている時間を減少させることができ、省エネの効果を上げることができる。また、CPU1は、表示データの属性が一時情報と判断した場合は、表示制御部2を介して制御レジスタ22を設定することでTN素子4のドライバ13、14のオンを設定し（TN素子ドライバアクティブ）（処理120）、さらにVRAM3の第1領域3aへデータを書き込む（処理121）。ここで、データの表示は自動的に開始される。なお、この表示は、ある一定のトリガーがかかるまでこの状態が続けられる（判断122）。そして、この後ある短い時間か、ジェスチャーコマンド確定による所定のタイミングでトリガーが入ると（判断122のY）、第1領域3aのデータを消去し（処理123）、他にデータがなければ、CPU1は、TN素子4及びそのTN素子制御部4Aを含む周辺の制御をオフする（処理124）。

【0050】このように、TN素子4とメモリ素子5を重ねて液晶パネル2Aを構成し、表示すべきデータの特性に応じて表示すべき素子4、5を選択することで、素子4、5を実際にドライブしている時間を減少させることができる。これにより、携帯情報機器などの省エネの効果を上げることができる。なお、本実施の形態で説明している2重構造の液晶パネル2Aは、電子手帳から大判の表示まで機種を限定するものではない。

【0051】ところで、これまでの説明した第1の実施の形態においては、ソフト的に表示データに属性を付けて表示素子を選別するものとしたが、本発明はこれに限らず単純に時間だけを元にハード的に表示素子を分けることもできる。

【0052】次に、このような本発明の第2の実施の形態について説明する。

【0053】図11は、本実施の形態に係る表示制御部のブロック図である。なお、同図において、図6と同一符号は、同一又は相当部分を示している。

【0054】同図において、28は書き換えタイミング制御部、29は論理演算部である。ここで、この書き換えタイミング制御部28は、図12に示すようにVRAM3のTN液晶用の第1領域3a（図5参照）をさらに複数の領域にわけ、それぞれにアクセス監視カウンタ30を割り当てた構成となっている。

【0055】なお、このアクセス監視カウンタ30は、

それぞれの小領域にアクセスがある毎にリセットされるワッチドックのようなカウンターで、その領域内で書き換えが繰返し行なわれている限り、カウントアップにはならない。逆に、書き換え後、一定の時間が経過すれば信号を発生し、その領域に相当するフラグ31を立てると共に、メモリ転送制御部32を動作させ、その小領域のデータを第1領域3aから第2領域3b（図5参照）へ転送する。

【0056】これによって、タイミング制御部26は動き始め、メモリ素子5に書き込まれる。なお、フラグ31が全て立ってTN素子4に書き込まれたデータが全てメモリ素子5へ移されたことが確認できれば、前回同様TN素子4はオフされるようになる。

【0057】一方、論理演算部29は、表示データをVRAM3にあるTN液晶データとメモリ性液晶データとで論理演算できるようにしたものである。なお、この論理演算部29と書き換えタイミング制御部28とにより、TN素子4に表示されたデータをメモリ素子5に切り換えて表示する表示切り換え部が構成される。

【0058】次に、図13に示したフローチャートにより、この論理演算部29によるハード的处理を説明する。

【0059】本実施の形態では、CPU側から見れば全て第1領域に読み書きが行なわれる。実際には、所定時間が経過し、所定のタイミングでリード要求が来るとTN素子4のTN液晶データDtn（処理131）とメモリ素子5のメモリ液晶Dm（処理132）が読まれて、その論理和を取って（処理133）、CPU1へ返す（処理134）。

【0060】書き込みデータDnwがCPU1から来たときは、まず、DmとDnwの排他的論理積をとり、メモリ素子側のデータを変更すべきかどうかを判定する。変化させなくて良いときは、第1領域2aへ、メモリ素子5にまだ書いてなく今回送られて来たデータを書き込む。一方、メモリ素子5を書き換える必要のあるときは、メモリ液晶データを消去すると共に、Dnwをそのまま書きこむ（処理136）。

【0061】また、メモリ転送制御部32で転送するときも、メモリ素子5に元々あるデータを消さないように、本論理演算部でそれぞれ論理和Dmをとり（処理137）、TN素子側のデータDtnは消去し（処理138）、メモリ素子5にはその結果Dmを書き込むようにする（処理139）。

【0062】なお、このようにしてメモリ素子5にのみデータが表示されるようになると、本実施の形態においては、動作制御部であるCPU1は、TN素子4及びTN素子4Aの動作を停止して消費電力を低減する。

【0063】そして、本実施の形態のようにデータに属性をつけるのではなく、時間的な基準のみでハード的に2面の液晶を使い分けることによっても、省エネの効果

を生じさせることができる。

【0064】

【発明の効果】以上述べたように本発明によれば、TN液晶素子と強誘電性液晶素子とを重ねて表示パネルを構成し、表示すべきデータの特性に応じて表示すべき液晶素子を選択することにより、液晶素子を実際にドライブしている時間を減少させることができるようになる。これにより、TN液晶及び強誘電性液晶の特性を生かして携帯情報機器などの省エネの効果を得ることができる。また、ハード的に時間に応じて表示を切り換えるようにすることにより、同様な省エネの効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る液晶装置の平面図。

【図2】上記液晶装置の制御ブロック構成図。

【図3】上記液晶装置の液晶パネルの構造を示す図。

【図4】上記液晶装置の表示制御部の表示制御動作を説明する図。

【図5】上記液晶装置のVRAMのメモリ領域を示す図。

【図6】上記表示制御部のブロック構成図。

【図7】上記液晶装置の表示状態の遷移を説明する図。

【図8】上記液晶装置のドライブ時間を示す図。

【図9】上記液晶パネルの表示の例を示す図。

【図10】上記液晶装置の表示制御フローチャート。

【図11】本発明の第2の実施の形態に係る液晶装置の表示制御部のブロック構成図。

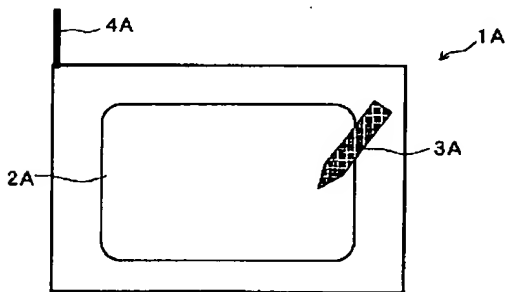
【図12】上記表示制御部の書き換えタイミング制御部のブロック構成図。

【図13】上記液晶装置の表示制御フローチャート。

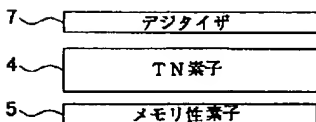
【符号の説明】

1 A	液晶装置
2 A	液晶パネル
1	CPU
2	表示制御部
3	VRAM
4	TN液晶表示素子
4 A	TN素子制御部
5	メモリ性液晶表示素子
5 A	メモリ素子制御部
2 2、2 5	制御レジスタ
2 3、2 6	タイミング制御部
2 4、2 7	VRAMアクセス制御部
2 8	書き換えタイミング制御
2 9	論理演算部

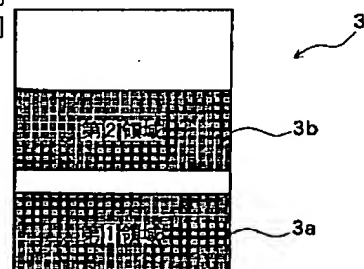
【図1】



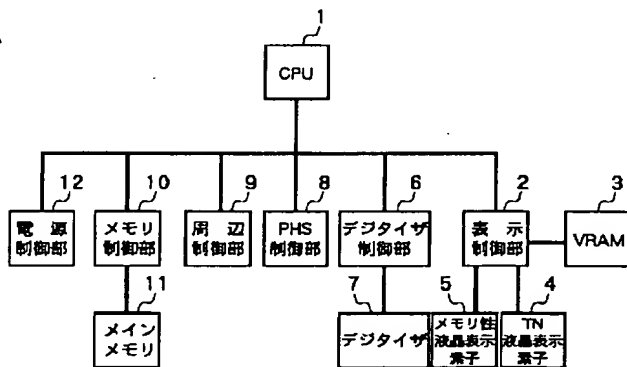
【図3】



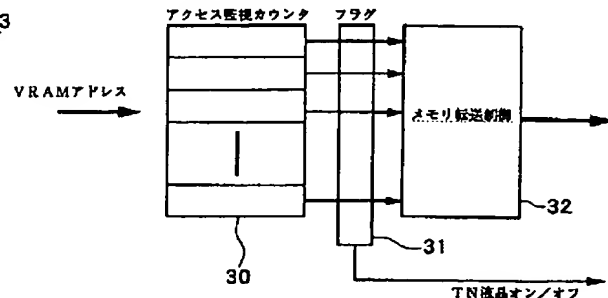
【図5】



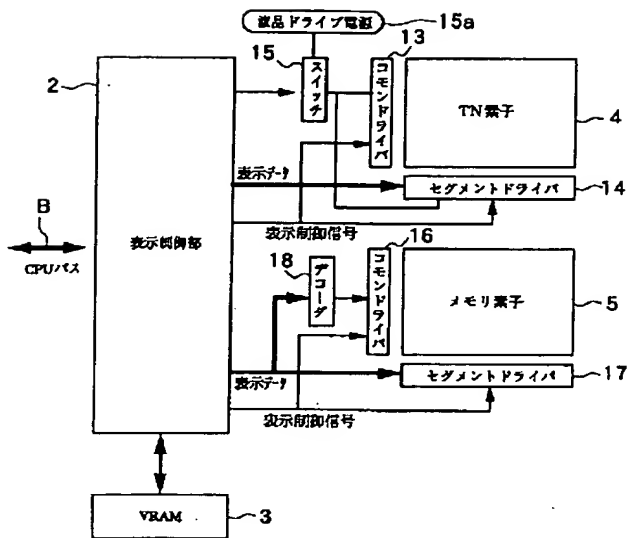
【図2】



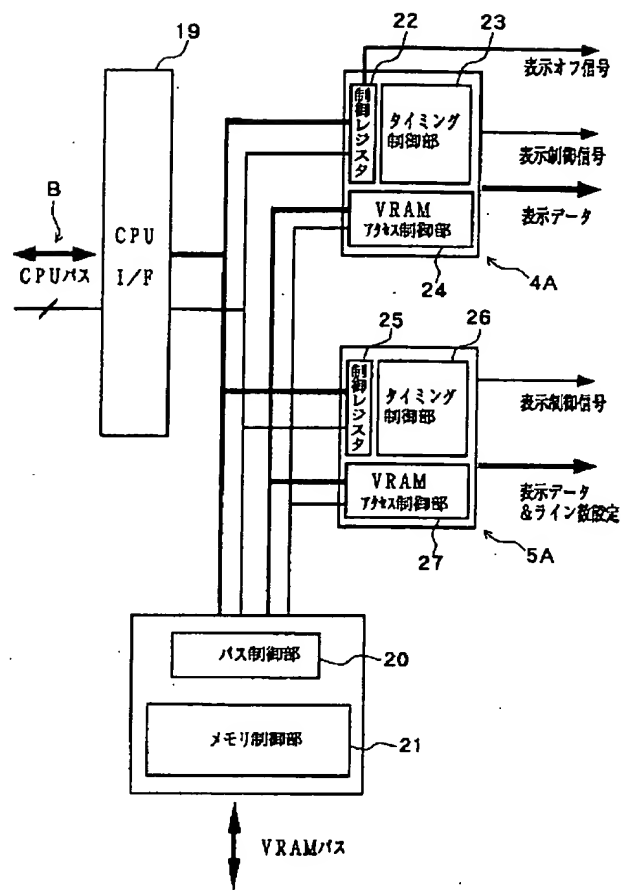
【図12】



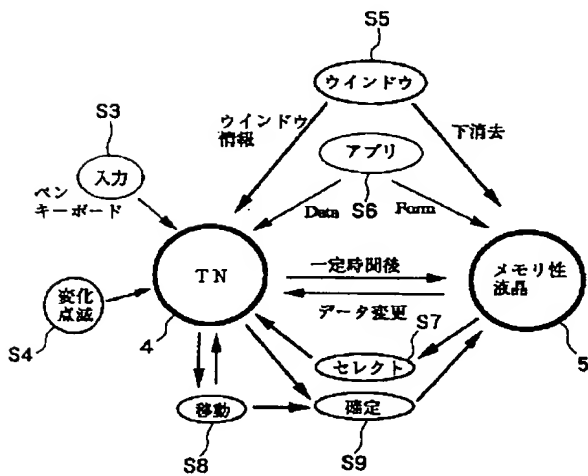
【図4】



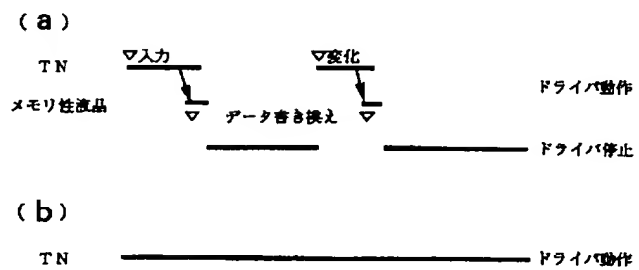
【図6】



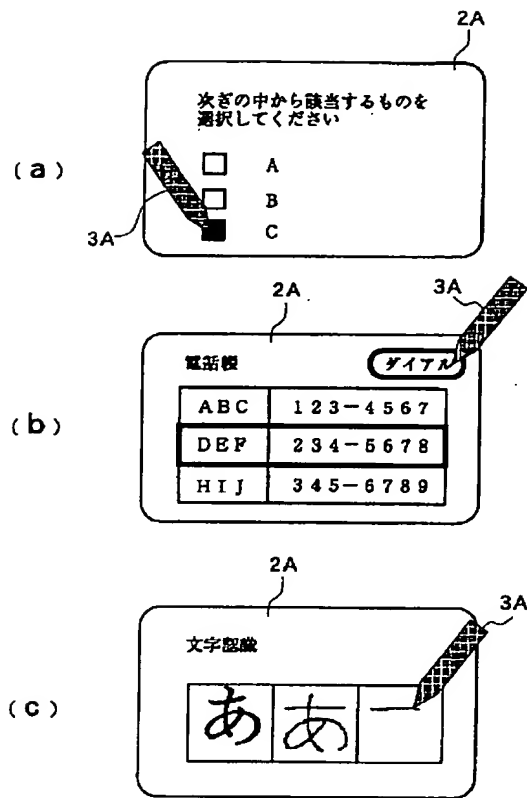
【図7】



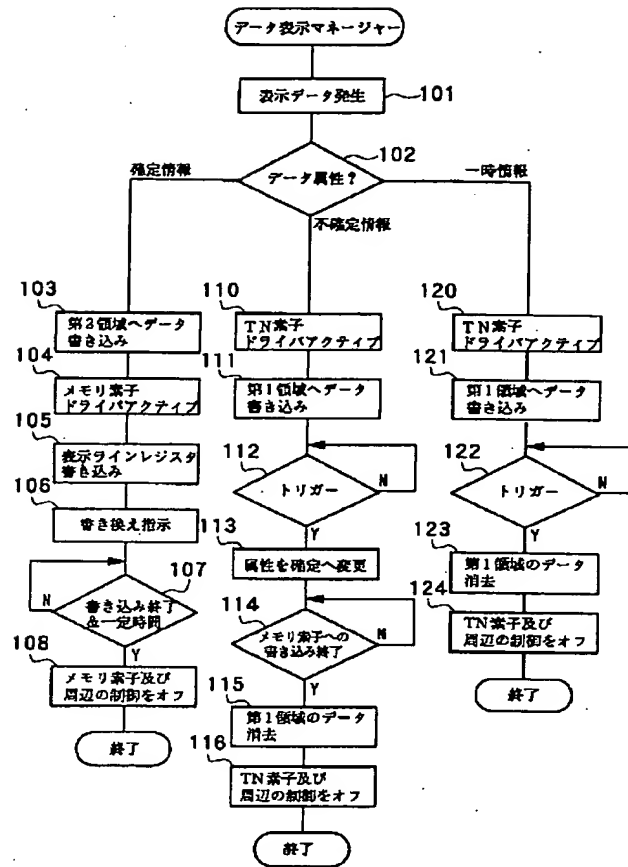
【図8】



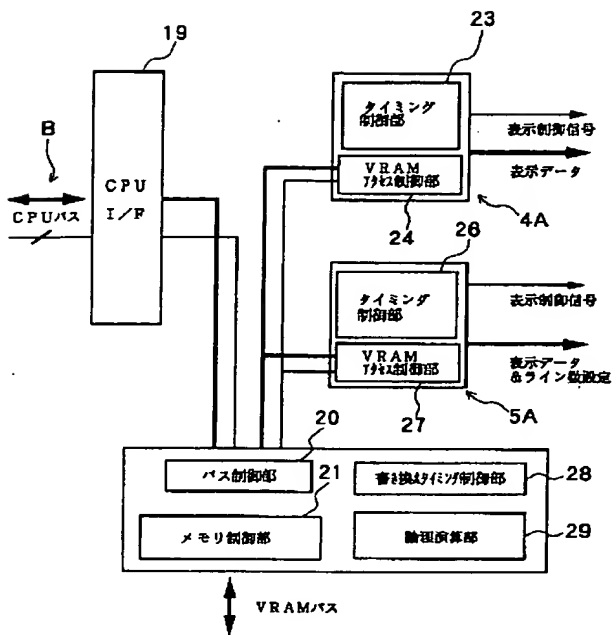
【図9】



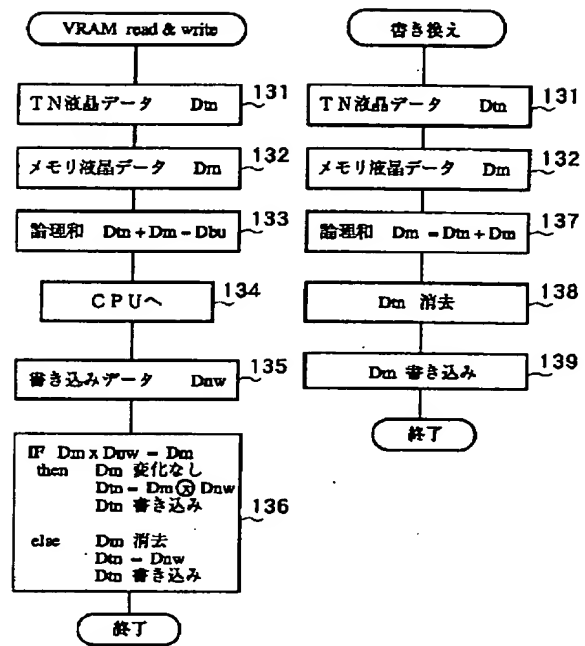
【図10】



【図11】



【図13】



フロントページの続き

(51) Int. Cl. 6

G 0 9 G 3/36

識別記号

F I

G 0 9 G 3/36